

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2002118175  
PUBLICATION DATE : 19-04-02

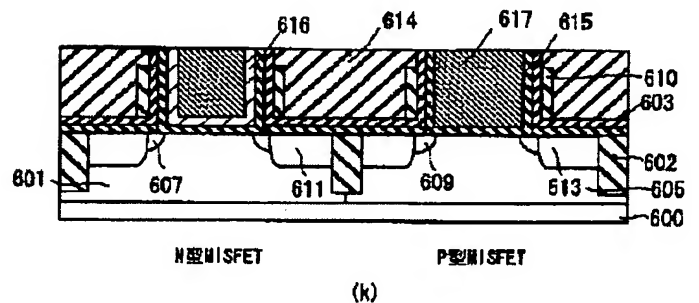
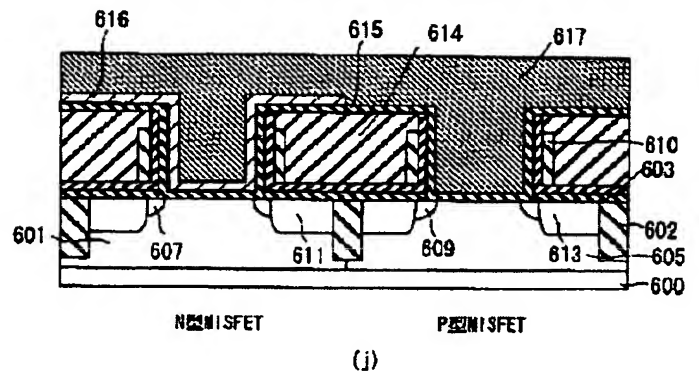
APPLICATION DATE : 05-10-00  
APPLICATION NUMBER : 2000306457

APPLICANT : TOSHIBA CORP;

INVENTOR : AKASAKA YASUSHI;

INT.CL. : H01L 21/8238 H01L 27/092 H01L 21/28  
H01L 29/43

TITLE : SEMICONDUCTOR DEVICE AND ITS  
FABRICATING METHOD



ABSTRACT : PROBLEM TO BE SOLVED: To fabricate a MISFET having a low threshold voltage by employing materials having optimal work functions in the metal gate electrode of a p-type MISFET and an n-type MISFET.

SOLUTION: The gate electrode of an N type MIS transistor has a first metal film 616 touching a gate insulation film 615 and having a work function  $\phi_f$  in the range of  $V_{th}+3.9 \leq \phi_f \leq V_{th}+4.1$ , where  $V_{th}$  is a threshold voltage. The gate electrode of a P type MIS transistor has a second metal film 617 touching the gate insulation film 615 and having a work function  $\phi_f$  in the range of  $5.1+V_{th} \leq \phi_f \leq 5.3+V_{th}$ , where  $V_{th}$  is the threshold voltage.

COPYRIGHT: (C)2002,JPO

BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO:**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-118175

(P2002-118175A)

(43) 公開日 平成14年4月19日 (2002.4.19)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テ-マ-ト\* (参考)

H 0 1 L 21/8238

H 0 1 L 21/28

B 4 M 1 0 4

27/092

3 0 1 R 5 F 0 4 8

21/28

27/08

3 2 1 D

3 0 1

29/62

G

29/43

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2000-306457 (P2000-306457)

(22) 出願日 平成12年10月5日 (2000.10.5)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72) 発明者 赤坂 泰志

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

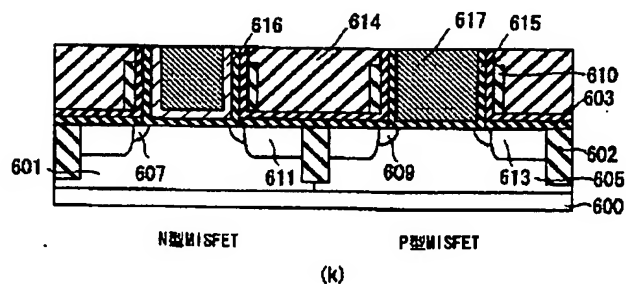
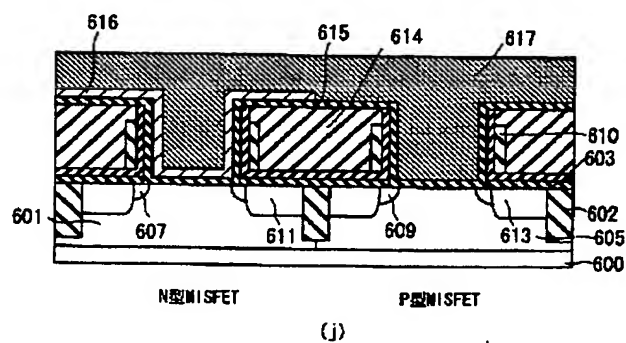
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 p型MISFET及びn型MISFETの金属ゲート電極として、それぞれ最適な仕事関数を有する材料を用い、低い値電圧のMISFETを形成する。

【解決手段】 N型MISトランジスタのゲート電極は、ゲート絶縁膜615に接し、仕事関数 $\phi_f$ が、閾値電圧 $V_{th}$ に対し、 $V_{th} + 3.9 \leq \phi_f \leq V_{th} + 4.1$ である第1の金属膜616を具備し、P型MISトランジスタのゲート電極は、ゲート絶縁膜615に接し、仕事関数 $\phi_f$ が、 $5.1 + V_{th} \leq \phi_f \leq 5.3 + V_{th}$ である第2の金属膜617を具備してなる。



## 【特許請求の範囲】

【請求項1】N型MISトランジスタ及びP型MISトランジスタが形成された半導体装置であって、前記N型MISトランジスタのゲート電極は、ゲート絶縁膜に接し、仕事関数 $\phi_f$  [eV]が、閾値電圧 $V_{th}$  [V]に対し、 $V_{th} + 3.9 \leq \phi_f \leq V_{th} + 4.1$ である第1の金属含有膜を具備し、前記P型MISトランジスタのゲート電極は、前記ゲート絶縁膜に接し、仕事関数 $\phi_f$  [eV]が、前記閾値電圧 $V_{th}$  [V]に対し、 $5.1 + V_{th} \leq \phi_f \leq 5.3 + V_{th}$ である第2の金属含有膜を具備してなることを特徴とする半導体装置。

【請求項2】N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板上の絶縁膜に形成された開口部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の開口部内に形成されたゲート絶縁膜上に、仕事関数 $\phi_f$  [eV]が、閾値電圧 $V_{th}$  [V]に対し、 $V_{th} + 3.9 \leq \phi_f \leq V_{th} + 4.1$ の条件を満たす第1の金属含有膜を形成する工程と、第2のゲート形成領域に形成された第1の金属含有膜を除去する工程と、第1のゲート形成領域の第1の金属含有膜上、及び第2のゲート形成領域のゲート絶縁膜上に、仕事関数 $\phi_f$  [eV]が、前記閾値電圧 $V_{th}$  [V]に対し、 $5.1 + V_{th} \leq \phi_f \leq 5.3 + V_{th}$ の条件を満たす第2の金属含有膜を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項3】N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極をシリコン基板上の絶縁膜に形成された開口部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の開口部内に形成されたゲート絶縁膜上に、第1の金属含有膜を形成する工程と、第1及び第2のゲート形成領域の少なくとも一方の領域の第1の金属含有膜に対して所定の処理を行い、第1の金属含有膜の仕事関数 $\phi_f$  [eV]が、閾値電圧 $V_{th}$  [V]に対し、第1のゲート形成領域において、 $V_{th} + 3.9 \leq \phi_f \leq V_{th} + 4.1$ の条件を満たすと共に、第2のゲート形成領域において、 $5.1 + V_{th} \leq \phi_f \leq 5.3 + V_{th}$ の条件を満たすようにすることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法、特にN型MISトランジスタ及びP型MISトランジスタのゲート電極の改良に関するものである。

【0002】

【従来の技術】微細なMISFETに於いて低いしきい値を実現するために、N型MISFET、P型MISFETそれぞれに対して異なる仕事関数のゲート電極を用いることが行われている。従来、ゲート電極には多結晶シリコンが用いられており、N型MISFET、P型MISFETそれぞれの多結晶シリコン（ゲート電極）に対してドーピングし、 $n^+$ 、 $p^+$ 型にし、それぞれの多結晶シリコンの仕事関数を伝導帯（Conduction Band）と価電子帯（Valence Band）の近傍に設定することで、低いしきい値を容易に実現することができる。

【0003】しかし、多結晶シリコンからなるゲート電極は、不純物濃度が導電性不純物の固溶限である $10^{20} \text{ cm}^{-3}$ 台になるように高濃度にドーピングしても、ゲート電極側に空乏層が形成されるために、ゲート容量はその分減少する。このことは、特にP型MISFETに於いて深刻な問題になる。B（ボロン）がドーパされた $p^+$ 型多結晶シリコンからは、熱工程によって、Bがゲート絶縁膜を通過してチャネル領域まで拡散することが知られている。

【0004】この現象による制約を受けるため、 $p^+$ 型多結晶シリコン・ゲート電極では、Bを高濃度にドーピングすることができず、ゲートの空乏化によるゲート容量の低下は $n^+$ 型多結晶シリコン・ゲート電極の場合より一層深刻である。

【0005】このゲート電極の空乏化を防止するために、ゲート電極に金属を用いる検討が行われている。しかし、一般に $n^+$ 、 $p^+$ 多結晶シリコンと同様の効果を得るために、シリコンのバンドギャップ中央から上下に0.56 eV程度離れた仕事関数を有する金属材料で、耐熱性、耐酸化性などの観点からLSIプロセスと整合性の良い材料を選択することは非常に難しい。

【0006】そこで、基板のバンドギャップ中央の近傍に位置する仕事関数を持った種類の金属を用いる方法が現実的と考えられている。しかしながら、上述したように仕事関数が基板のバンドギャップの中央に位置する金属ゲート電極を用いると、低いしきい値を得ることが難しい。チャネル表面に逆導電型の不純物をドーピングし（カウンタドーピング）、埋め込みチャネルを形成することにより低いしきい値を実現することができる。しかし、埋め込みチャネルでは、ゲート絶縁膜とシリコン基板の界面にチャネルが形成されるのではなく、界面から基板奥に入ったところにチャネルが形成される。これは失効的なゲート絶縁膜厚が増加していることになり、ショートチャネル効果を抑制することが難しく、また、

S-factorが劣化するという問題がある。

【0007】

【発明が解決しようとする課題】上述したように、p型MISFET及びn型MISFETの金属ゲート電極に、仕事関数が基板のバンドギャップの中央に位置する材料を用いると、低しきい値を得ることが難しいという問題があった。

【0008】本発明の目的は、p型MISFET及びn型MISFETの金属ゲート電極として、それぞれ最適な仕事関数を有する材料を用い、低しきい値電圧のMISFETを形成することが可能な半導体装置及びその製造方法を提供することにある。

【0009】

【課題を解決するための手段】〔構成〕本発明は、上記目的を達成するために以下のように構成されている。

【0010】(1) 本発明(請求項1)は、N型MISトランジスタ及びP型MISトランジスタが形成された半導体装置であって、前記N型MISトランジスタのゲート電極は、ゲート絶縁膜に接し、仕事関数 $\phi_f$  [eV]が、閾値電圧 $V_{th}$  [V]に対し、 $V_{th}+3.9 \leq \phi_f \leq V_{th}+4.1$ である第1の金属含有膜を具備し、前記P型MISトランジスタのゲート電極は、前記ゲート絶縁膜に接し、仕事関数 $\phi_f$  [eV]が、前記閾値電圧 $V_{th}$  [V]に対し、 $5.1+V_{th} \leq \phi_f \leq 5.3+V_{th}$ である第2の金属含有膜を具備してなることを特徴とする。

【0011】(2) 本発明(請求項2)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極を半導体基板上の絶縁膜に形成された開口部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領域の開口部内に形成されたゲート絶縁膜上に、仕事関数 $\phi_f$  [eV]が、閾値電圧 $V_{th}$  [V]に対し、 $V_{th}+3.9 \leq \phi_f \leq V_{th}+4.1$ の条件を満たす第1の金属含有膜を形成する工程と、第2のゲート形成領域に形成された第1の金属含有膜を除去する工程と、第1のゲート形成領域の第1の金属含有膜上、及び第2のゲート形成領域のゲート絶縁膜上に、仕事関数 $\phi_f$  [eV]が、前記閾値電圧 $V_{th}$  [V]に対し、 $5.1+V_{th} \leq \phi_f \leq 5.3+V_{th}$ の条件を満たす第2の金属含有膜を形成する工程とを含むことを特徴とする。

【0012】(3) 本発明(請求項3)は、N型MISトランジスタ及びP型MISトランジスタそれぞれのゲート電極をシリコン基板上の絶縁膜に形成された開口部内にゲート絶縁膜を介して形成する半導体装置の製造方法であって、前記ゲート電極を形成する工程は、N型MISトランジスタ用の第1のゲート形成領域及びP型MISトランジスタ用の第2のゲート形成領域の双方の領

域の開口部内に形成されたゲート絶縁膜上に、第1の金属含有膜を形成する工程と、第1及び第2のゲート形成領域の少なくとも一方の領域の第1の金属含有膜に対して所定の処理を行い、第1の金属含有膜の仕事関数 $\phi_f$

[eV]が、閾値電圧 $V_{th}$  [V]に対し、第1のゲート形成領域において、 $V_{th}+3.9 \leq \phi_f \leq V_{th}+4.1$

1. の条件を満たすと共に、第2のゲート形成領域において、 $5.1+V_{th} \leq \phi_f \leq 5.3+V_{th}$ の条件を満たすようにすることを特徴とする。

【0013】〔作用〕本発明は、上記構成によって以下の作用・効果を有する。

【0014】N型MISトランジスタのゲート電極は、ゲート絶縁膜に接し、仕事関数 $\phi_f$ が、閾値電圧 $V_{th}$ に対し、 $V_{th}+3.9 \leq \phi_f \leq V_{th}+4.1$  eVである第1の金属含有膜を具備し、P型MISトランジスタのゲート電極は、ゲート絶縁膜に接し、仕事関数 $\phi_f$ が、 $5.1+V_{th} \leq \phi_f \leq 5.3+V_{th}$ である第2の金属含有膜を具備することによって、低しきい値電圧のN型及びP型MISFETを得ることができる。また、N型及びP型MISFETは、ショートチャネル効果を抑制し、S-factorの値の低い良好なMISFETを得ることができる。

【0015】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0016】〔第1実施形態〕先ず、本発明者は、金属ゲート電極を用いて低しきい値電圧のMISFETに対して必要な条件を調べるために、MISFETに対してシミュレーションを行った。

【0017】シミュレーションに用いたN型MISFETの構成を図1に示す。図1は、シミュレーションに用いたトランジスタの構造を示す模式図である。

【0018】図1において、100はシリコン基板、101はソース/ドレイン、102はエクステンション領域、103はチャネル領域、104はカウンタードーピング領域、105はゲート絶縁膜、106はゲート電極、106はゲート側壁絶縁膜である。

【0019】シミュレーションに用いたパラメータを以下に示す。

【0020】ゲート長： $L=95$  nm

ゲート絶縁膜のシリコン酸化膜換算膜厚： $T_{ox}=2.4$  nm

ゲート側壁絶縁膜厚さ： $70$  nm

接合深さ： $x_j=35$  nm

チャネルカウンタードープ深さ： $D_c=30$  nm

チャネルの不純物平均濃度： $N_p=5 \times 10^{18}$  cm<sup>-3</sup>

ゲート電圧： $V_d=1.2$  V

図1に示す、N型MISFETに対して、ゲート電極の仕事関数を変えてトランジスタ特性のシミュレーションを行った。上述したパラメータのもとで、ゲート電極の

仕事関数 $\phi_f = 4.2 \sim 4.7$  eVの範囲全てに対し、 $V_{th} = 0.395$  Vになるようにチャネルカウンタードープの不純物濃度 $N_c$ を調節した。 $\phi_f = 4.6$  eVがバンドギャップ中央である。

【0021】図2にゲート電極の仕事関数とカウンターチャネルの濃度の関係を示す。図2の縦軸（カウンターチャネル濃度）において、+側はチャネル表面をp型にドーピングしていることを示し、-側はチャネル表面がn型にドーピングされていることを示す。チャネル表面のn型不純物濃度が増すほど、チャネル構造は埋め込み型の動作をするようになってくる。

【0022】また、図3にゲート電極の仕事関数を変えたときのゲート長 $L$ と閾値電圧 $V_{th}$ の関係（ショートチャネル効果）を示す。仕事関数（WF）が4.5 eV以下の領域では、ほとんど曲線が重なっていることがわかる。

【0023】また、図4にゲート長 $L = 95$  nmの変化（ $\pm 5\%$ ）に対する閾値電圧 $V_{th}$ の変化量 $dV_{th}$ を示す。仕事関数が4.5 eVを越えるあたりから $dV_{th}$ は急激に上昇するが、それ以下ではほぼ同じ値を示すことがわかる。

【0024】図5に、仕事関数を変えた場合の $V_g - I_d$ 特性を示す。ここでも、仕事関数が4.5 eV以下になると特性がほぼ同じになることが確認される。

【0025】図6に、仕事関数に対する $S$ -factorの値を示す。仕事関数が4.5 eV以上では $S$ -factorは急激に上昇し、特性の劣化が顕著になるが、4.5 eV以下では、 $S$ -factorが80程度のほぼ一定の値を示すことがわかる。

【0026】これらの結果から、閾値電圧 $V_{th} = 0.4$  Vのトランジスタを作成するにあたり、ゲート電極の仕事関数はバンドギャップ中央から伝導電子帯の方向に0.1 eVだけずらしたものをを用いれば、それ以上ずらしたものと同等の効果が得られることがわかった。また、0.4 Vよりも低いしきい値を実現するには $(0.5 - V_{th})$ の分だけバンドギャップ中央より伝導電子帯側にずらせば、同様の効果が得られることがわかった。

【0027】この理由を調べるために、仕事関数が異なる場合のチャネルのポテンシャルを調べた。図7は、 $\phi_f = 4.2 \sim 4.7$ の間で0.1 eV刻みで仕事関数を変化させた場合のチャネル中央の基板深さ方向へのポテンシャル変化を示す。図7において、縦軸はポテンシャル、横軸は基板深さである。

【0028】図7に示すように、 $\phi_f = 4.6, 4.7$  eVではゲート絶縁膜との界面でのポテンシャルの傾きは-（下向き）、或いはほぼ0である。それに対し、 $\phi_f \leq 4.5$ では+（上向き）になっており、典型的な表面チャネルの特徴を備えている。このことによって、ショートチャネル効果が抑制され、また、 $S$ -factorが改善されていると考えられる。

【0029】また、再び図2に戻ってチャネル濃度について考察する。 $\phi_f = 4.5$  eV付近では表面チャネル型の動作をするだけでなく、チャネル濃度が低くなっている。チャネル濃度が低いと、チャネルの移動度は向上し、またエクステンション領域との接合に於けるリークが少ないという利点がある。この観点からすると、ゲート絶縁膜に接するゲート電極の仕事関数は伝導電子帯端にあるよりも、シリコン基板のバンドギャップ中央に近い方が望ましい。

【0030】一般にチャネル濃度は $1 \times 10^{18}$  cm $^{-3}$ 以下であることが望ましいと考えられており、4.3 eVよりもバンドギャップ中央近くに位置するのが良い。

【0031】上述の条件を満たすように仕事関数を設定するならば、 $V_{th} = 0.4$  Vに対しては、 $4.3 \leq \phi_f \leq 4.5$  eVが好適である。また他のしきい値に対しては、

$3.9 + V_{th} \leq \phi_f \leq 4.1 + V_{th}$   
の範囲に設定すると同様の効果が得られる。

【0032】p型MISFETに関しては、シリコン基板のバンドギャップの中央に対してn型MISFETと対称と考えれば良く、 $5.1 + V_{th} \leq \phi_f \leq 5.3 + V_{th}$  ( $V_{th} < 0$ )の範囲に設定すると同様の効果が得られる。

【0033】多結晶シリコンをゲート電極に用いた場合にはシリコン基板のバンドギャップ中央から0.56 eVずらす必要があった。ところが、上述したように、金属材料電極を用いることにより、しきい値電圧が0.4 Vの場合には、シリコン基板のバンドギャップ中央から0.1 eVずれた金属電極材料を用いればよいことが分かった。

【0034】シリコン基板のバンドギャップ中央から0.1 eVずれた金属電極材料を見つけることは、0.56 eVずれた材料を探すことより容易である。

【0035】例えば、表1に示す金属材料を用いればよい。

【0036】

【表1】

仕事関数 (eV)	金属材料
4.4	Sn, B
4.45	Fe, Hg
4.5	Sb, W, Mo
4.6	Cu
4.65	Ru
4.7	Os

【0037】表1に示す金属材料の中から、NMISFETには仕事関数が小さい材料、PMISFETには仕事関数が大きいものを選択してゲート電極を形成すればよい。

【0038】次に、同一基板上に異なる仕事関数のゲート電極を形成する方法について、図8(a)～図11(k)を用いて説明する。図8～図11は、本発明の一

実施形態にかかわる半導体装置の製造工程を示す工程断面図である。

【0039】先ず、図8(a)に示すように、シリコン基板600にSTI技術を用いた素子分離絶縁膜602を形成した後、NMISFETを形成する領域にp-ウェル601、PMISFETを形成する領域にn-ウェル605を形成する。更に、シリコン基板600表面に薄いシリコン酸化膜603を形成する。そして、後にゲート電極が形成される領域のシリコン酸化膜603上に、多結晶シリコン等からなるダミーゲート604を形成する。

【0040】次いで、図8(b)に示すように、シリコン酸化膜606を形成し、PMISFET領域のシリコン酸化膜606上に選択的にレジストを形成した後、レジスト及びNMISFET領域のダミーゲート604をマスクに、イオン注入を行うことで、N型エクステンション607を形成する。さらに、NMISFET領域のシリコン酸化膜606上に選択的にレジスト608を形成した後、レジスト608及びPMISFET領域のダミーゲート604をマスクに、イオン注入を行うことことで、P型エクステンション609を形成する。なお、シリコン酸化膜606は、シリコン基板600にレジストを直接塗布すること、基板が汚染されることを防止するためのものである。

【0041】次いで、図8(c)に示すように、シリコン基板600表面にシリコン窒化膜等の絶縁膜を堆積し、公知の側壁残し工程を行うことでゲート側壁絶縁膜610を形成する。

【0042】次いで、図9(d)に示すように、PMISFET領域のシリコン酸化膜606上に選択的にレジストを形成した後、レジスト及びNMISFET領域のダミーゲート604及びゲート側壁絶縁膜610をマスクに、イオン注入を行うことことで、N型ソース/ドレイン611を形成する。さらに、NMISFET領域のシリコン酸化膜606上に選択的にレジスト612を形成した後、レジスト612及びPMISFET領域のダミーゲート604及びゲート側壁絶縁膜610をマスクに、イオン注入を行うことことで、P型ソース/ドレイン613を形成する。

【0043】次いで、図9(e)に示すように、シリコン基板600表面にシリコン酸化膜などからなる絶縁膜614をダミーゲート604の厚みより厚くなるように、堆積する。

【0044】次いで、図9(f)に示すように、CMP法等を用いて、ダミーゲート604の頂上が露出するように、絶縁膜614を平坦に研削する。

【0045】次いで、図10(g)に示すように、ダミーゲート604をCDE (Chemical Dry Etching) 又はHFとHNO<sub>3</sub>との混合液などを用いたエッチングで除去し、更にシリコン酸化膜603の露出部分を除去す

る。

【0046】次いで、図10(h)に示すように、ダミーゲート604及びシリコン酸化膜603を除去した後の溝部にゲート絶縁膜615、及び仕事関数が4.5 eVより小さい金属膜616を堆積する。ゲート絶縁膜615としては、シリコン酸窒化膜、シリコン窒化膜、又はTa<sub>2</sub>O<sub>5</sub>などのようなシリコン酸化膜より誘電率が高い膜などが好適である。また、金属膜616としては、NMISFET領域での仕事関数を決定するだけの物であるから、非常に薄い膜厚、例えば10 nm以下で十分である。

【0047】次いで、図10(i)に示すように、PMISFET側の金属膜616を除去し、金属膜616をNMISFET側だけに残す。これはレジストをマスクにウエットエッチング等で除去すれば良い。例えば金属膜616として、W、Mo、TiNなどを用いている場合、H<sub>2</sub>O<sub>2</sub>溶液を用いてエッチングすることが可能である。なお、エッチングに用いる溶液は、これに限らず、エッチングする金属の種類に応じて適宜選択すればよい。ゲート絶縁膜615に損傷を与えない範囲で有れば、RIE法やCDE法を用いてエッチングしても良い。

【0048】次いで、図11(j)に示すように、仕事関数が4.7 eVより大きい金属として第2の金属膜617を形成する。この第2の金属膜617は、PMISFET領域での仕事関数を決定すると共に、ゲート電極の抵抗値を決定する。従って、仕事関数が適当な値であるだけでなく、抵抗率も低いことが望ましい。

【0049】次に、図11(k)に示すように、少なくとも第2の金属膜617が完全に絶縁膜614の表面から除去されるように、CMP法等を用いて第2の金属膜617を研削する。この時、絶縁膜614上のゲート絶縁膜615を除去しても良いし、必要に応じて残しても良い。

【0050】上記の方法で、金属膜615、617は、NMISFET及びPMISFETの閾値電圧が最適になるように、表1に示した材料から選ぶことができる。表1に示す金属材料の中から、NMISFETには仕事関数が小さい材料、PMISFETには仕事関数が大きいものを選択してゲート電極を形成すればよい。

【0051】また、TiNのような導電性の金属化合物も同様に金属電極として使うことができるが、結晶配向によって、0.12~0.14 eV程度の仕事関数が異なることが報告されている(Nakajima et al. 1999 Symposium on VLSI Technology Digest of Technical Papers p.96)。成膜方法や条件を変えることで、仕事関数が異なるTiNを形成し、2種の電極材料として用いることも可能である。

【0052】次に、1種の金属の仕事関数を膜を形成した後に変化させ、2種の仕事関数のゲート電極を得る方

法について、図12を用いて説明する。図12は、本発明の一実施形態にかかわる半導体装置の製造工程を示す工程断面図である。まず、図8(a)～図11(k)に説明したのと全く同様の方法でダミーゲートを除去した後にゲート絶縁膜615及び第1の金属膜616を形成する。

【0053】次に、図12(a)に示すように、P型MISFET領域にレジストマスク710を形成した後、In、Ga等の様に融点が低く、仕事関数が小さい金属をイオン注入し、第1の金属膜616を改質した第3の金属膜716を形成する。第3の金属膜716は、450℃程度の熱工程をかけることで、第3の金属膜716の粒界を介してゲート絶縁膜615との界面に仕事関数が低い金属が析出し、所望のしきい値を得ることができる。

【0054】次いで、図12(b)に示すように、W、Alなどからなる低抵抗である第2の金属膜617を堆積し、図12(c)に示すようにCMP法などを用いて絶縁膜614上に堆積した金属膜616、716、617を完全に除去する。

【0055】また、ここでは第1の金属膜616より仕事関数が低い金属をNMISFET領域に注入したが、仕事関数が高い金属をPMISFET領域に注入することも可能であり、また必要に応じて両方の領域に異なる金属を注入する事も可能である。

【0056】また、上記の例では、金属を析出させる例を挙げたが、N等の元素をイオン注入し、組成の違う化合物を形成することにより仕事関数を変化させることも可能である。この方法についてはWakabayashi et al., IEDM Technology Digest p.253 (1999) に開示されている。

【0057】なお、本発明は、上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0058】

【発明の効果】以上説明したように本発明によれば、N型MISトランジスタのゲート電極は、ゲート絶縁膜に接し、仕事関数 $\phi_f$ が、閾値電圧 $V_{th}$ に対し、 $V_{th} + 3.9 \leq \phi_f \leq V_{th} + 4.1$  eVである第1の金属含有

膜を具備し、P型MISトランジスタのゲート電極は、ゲート絶縁膜に接し、仕事関数 $\phi_f$ が、 $5.1 + V_{th} \leq \phi_f \leq 5.3 + V_{th}$ である第2の金属含有膜を具備することによって、低しきい値電圧のN型及びP型MISFETを得ることができる。

【図面の簡単な説明】

【図1】シミュレーションに用いたトランジスタ構造を示す図。

【図2】種々の仕事関数に対してしきい値を0.4Vに合わせるのに要するチャネルドーピングの図。

【図3】種々の仕事関数に対するゲート長としきい値の関係を示す図。

【図4】仕事関数とLの10%の変化に対するしきい値変化を示す図。

【図5】種々の仕事関数に対する、 $V_g - I_d$ を示す図。

【図6】仕事関数とS-factorの関係を示す図。

【図7】種々の仕事関数に対するチャネル中央に於けるポテンシャルを示す図。

【図8】本発明の一実施形態に係わる半導体装置の製造工程を示す図。

【図9】本発明の一実施形態に係わる半導体装置の製造工程を示す図。

【図10】本発明の一実施形態に係わる半導体装置の製造工程を示す図。

【図11】本発明の一実施形態に係わる半導体装置の製造工程を示す図。

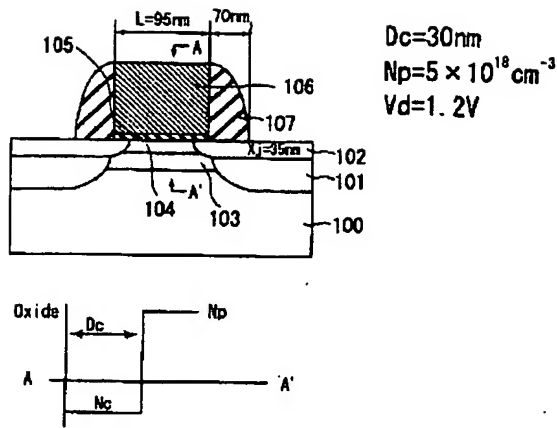
【図12】本発明の一実施形態に係わる半導体装置の製造工程を示す図。

【符号の説明】

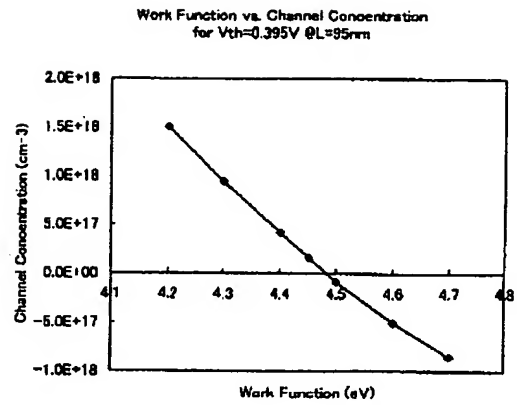
- 100…シリコン基板
- 101…ソース/ドレイン
- 102…エクステンション領域
- 103…チャネル領域
- 104…カウンタードーピング領域
- 105…ゲート絶縁膜
- 106…ゲート電極
- 106…ゲート側壁絶縁膜



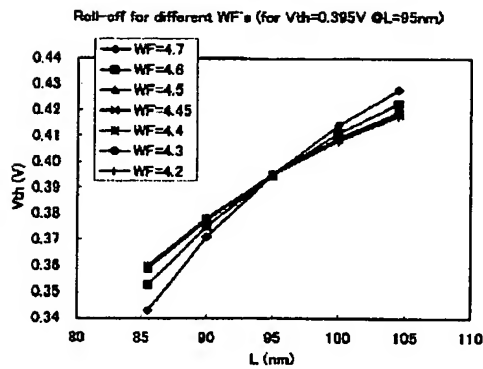
【图1】



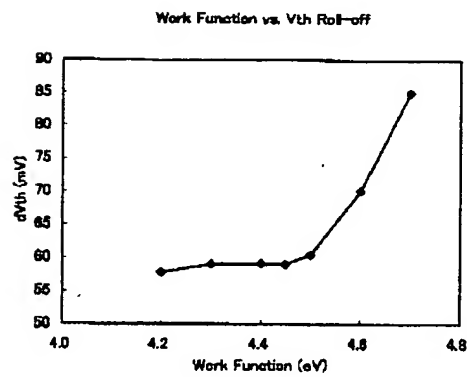
【图2】



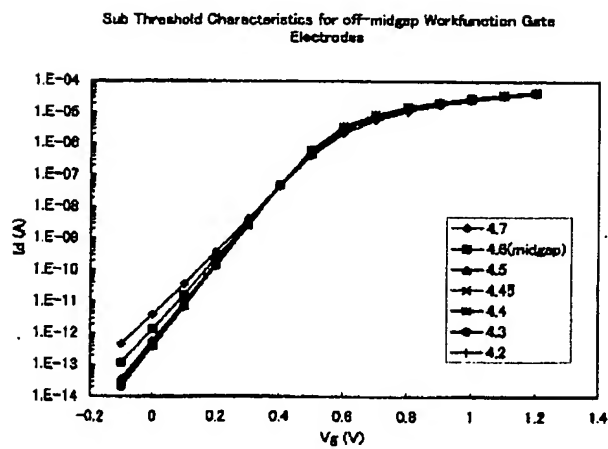
【图3】



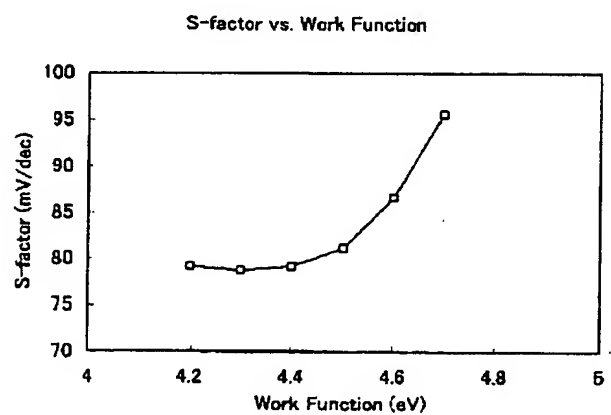
【图4】



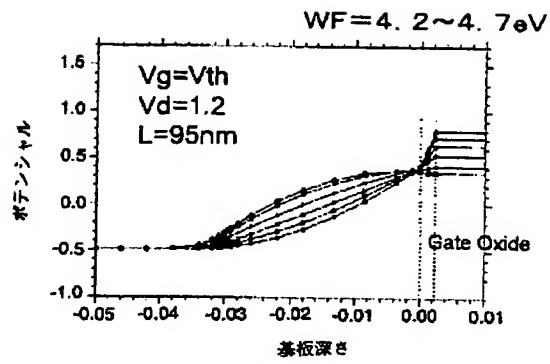
【图5】



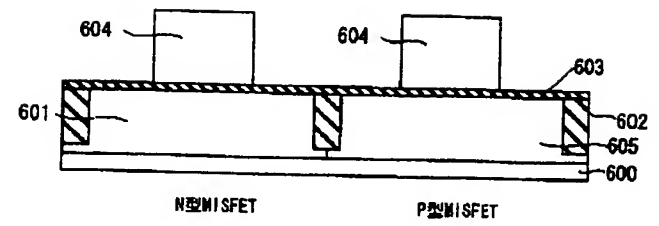
【图6】



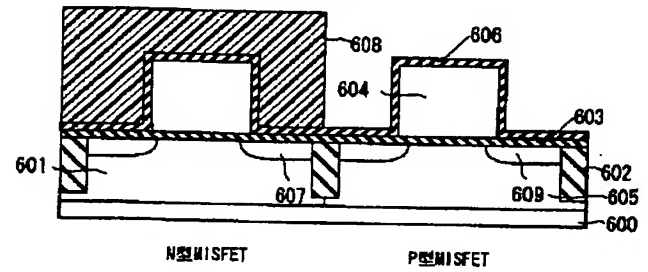
【図7】



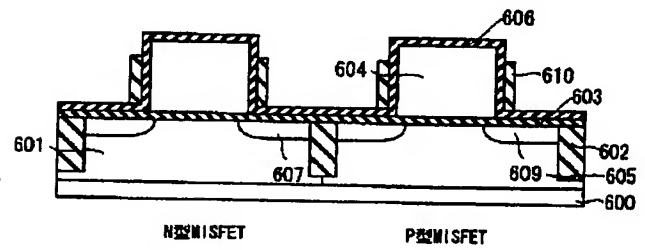
【図8】



(a)

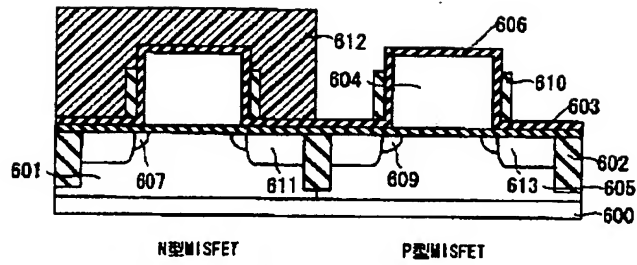


(b)

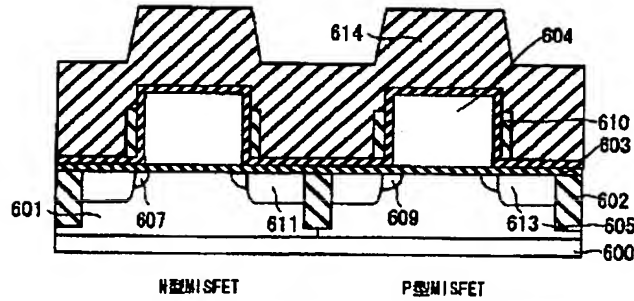


(c)

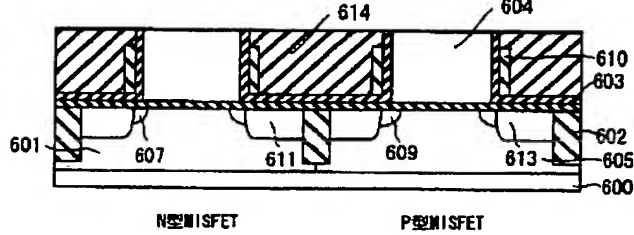
【図9】



(d)

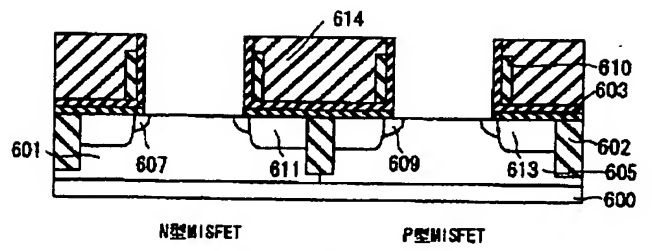


(e)

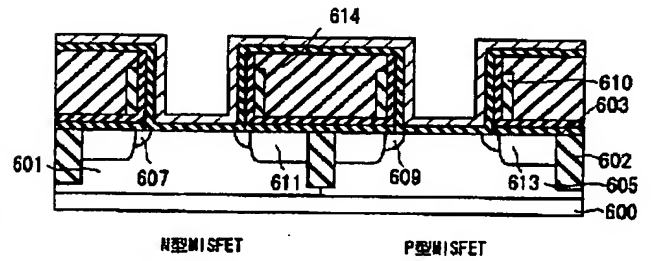


(f)

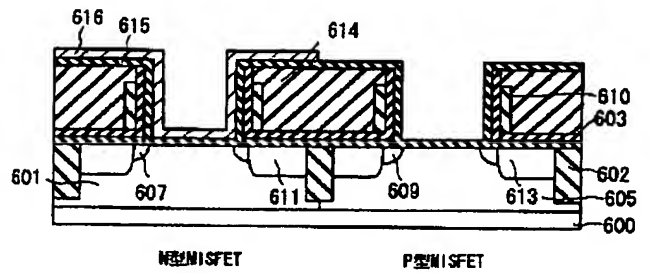
【図10】



(g)

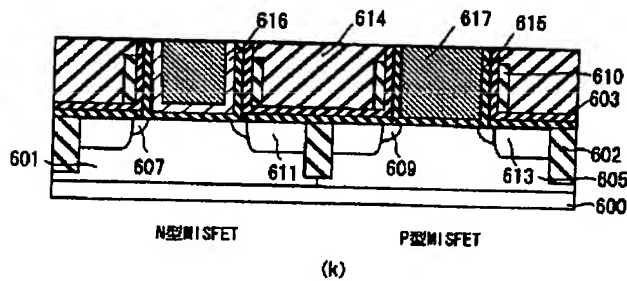
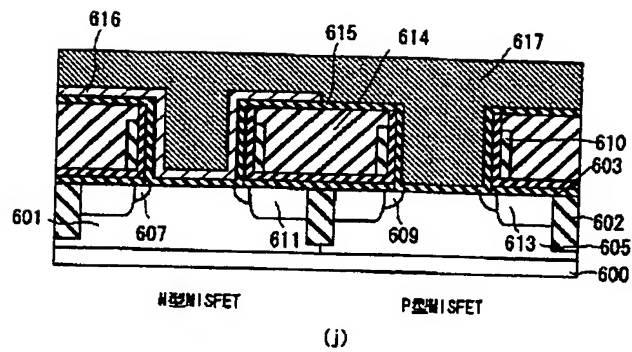


(h)

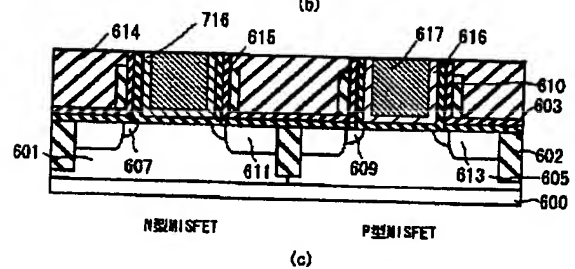
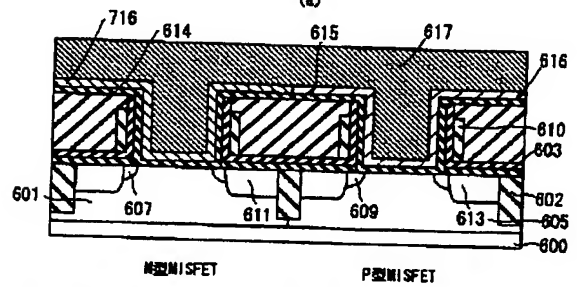
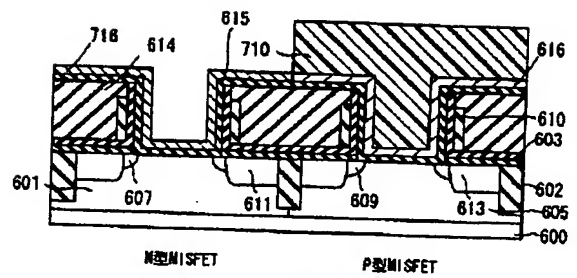


(i)

【図11】



【図12】



フロントページの続き

Fターム(参考) 4M104 AA01 BB02 BB16 BB18 BB30  
 BB39 CC05 DD03 DD04 DD26  
 DD64 DD75 DD81 EE03 EE16  
 EE17 FF13 GG09 GG10 HH16  
 HH20  
 5F048 AA00 AC03 BA01 BB09 BB10  
 BB11 BB12 BB14 BC06 BD04  
 BD05 BE03 BG14 DA25 DA27  
 DA30

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☒ OTHER: Small Felt

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**